

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-106567

(43)Date of publication of application : 21.04.1995

(51)Int.Cl.

H01L 29/78
H01L 21/28
H01L 27/04
H01L 21/822
H01L 21/8234
H01L 27/088

(21)Application number : 05-249002

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 05.10.1993

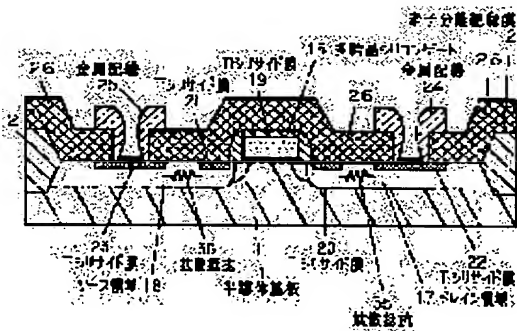
(72)Inventor : MIYANAGA ISAO
KURIMOTO KAZUMI
OKADA HIDEKO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide an I/O part transistor with a silicide gate, retaining a high dielectric strength for electrostatic discharge failure.

CONSTITUTION: Ti silicide films 19, 20, 21, 22, and 23 are formed on a polycrystalline silicon gate 16, a drain region 17, and a source region 18 of a NchMOS transistor. Electric contact points are formed on Ti silicide films 22 and 23 with respective metal wirings 24 and 25, and the metal wiring 24 connects to an I/O terminal, and the metal wiring 25 connects to a VSS terminal. Here, the Ti silicide films 20 and 23 are completely separated to provide a diffusion resistance 35 in a drain region under the Ti silicide films 20 and 22. Likewise, the Ti silicide films 21 and 23 on the source region 18 are separated. In this construction, even when a surge is impressed on the I/O terminal, the diffusion resistances 35 and 36 absorb energy of surge discharge so that a high dielectric strength for electrostatic discharge failure is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection] .
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-106567

(43) 公開日 平成7年(1995)4月21日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/28	3 0 1 T	7376-4M		
27/04				
		7514-4M	H 0 1 L 29/ 78	3 0 1 K
		8832-4M	27/ 04	H
審査請求 未請求 請求項の数12 O L (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平5-249002

(22) 出願日 平成5年(1993)10月5日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 宮永 績

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 栗本 一実

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 岡田 英子

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

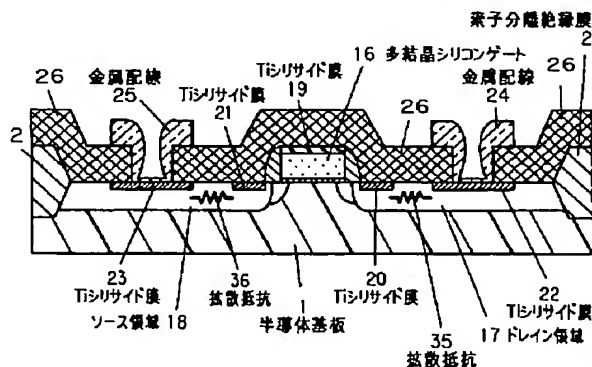
(74) 代理人 弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 入出力部トランジスタにおいてシリサイドゲートを有し、かつ高静電破壊耐圧を保持させる。

【構成】 NchMOSトランジスタの多結晶シリコンゲート16、ドレイン領域17、ソース領域18上にはTiシリサイド膜19、20、21、22、23が形成されている。Tiシリサイド膜22、23上にはそれぞれ金属配線24、25とのコンタクトが形成されており、金属配線24は入出力端子に、金属配線25は、VSS端子に接続されている。ここで、Tiシリサイド膜20、22下のドレイン領域の間に拡散抵抗35を設けるためにTiシリサイド膜20と22は完全に分離させる。同様にソース領域18上のTiシリサイド膜21と23も分離させる。この構成で、入出力端子にサージが印加されても拡散抵抗35および36がサージ放電のエネルギーを吸収するので、高い静電破壊耐圧が得られる。



【特許請求の範囲】

【請求項 1】ドレインおよびソース領域とゲートとを有する電界効果型トランジスタにおいて、前記ゲート上と前記ゲートに隣接するドレイン領域表面がシリサイド化され、前記シリサイド化されたドレイン領域がシリサイド化されていないドレイン領域を介して金属配線に接続されたことを特徴とする半導体装置。

【請求項 2】前記ゲートに隣接する前記ソース領域表面がシリサイド化され、前記シリサイド化されたソース領域がシリサイド化されていないソース領域を介して金属配線に接続されたことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】金属配線とドレイン領域を連結するドレインコンタクト部および前記ドレインコンタクト部周辺の前記ドレイン領域表面がシリサイド化され、且つ前記ゲートに隣接した前記シリサイド化されたドレイン領域とはシリサイド化されていないドレイン領域を介して接続されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】金属配線とソース領域を連結するソースコンタクト部および前記ソースコンタクト部周辺の前記ソース領域表面がシリサイド化され、且つ前記ゲートに隣接した前記シリサイド化されたソース領域とはシリサイド化されていないソース領域を介して接続されていることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】半導体基板上に形成する電界効果型トランジスタにおいて、ドレインおよびソース領域とゲート上に高融点金属膜を形成する工程と、前記ソース領域およびゲート上と前記ドレイン領域の内、前記ゲートに隣接する領域上にマスクを形成する工程と、前記マスクを用いてマスクが形成されていないドレイン領域の前記高融点金属膜を除去する工程と、前記高融点金属膜と前記ゲートおよび前記ドレイン、ソース領域とを反応させて前記ゲート上および前記ドレイン、ソース領域の所定の領域表面にシリサイド膜を形成する工程と、前記シリサイド膜が形成されたドレイン領域と金属配線とを前記ドレイン領域のシリサイド膜が形成されていない領域を介して連結するコンタクトを前記ドレイン領域上に形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項 6】前記マスク形成工程において前記ソース領域の内、ゲートに隣接するソース領域上に前記マスクを形成し、前記高融点金属膜除去工程において前記マスクが形成されていないソース領域の前記高融点金属膜を除去し、前記コンタクト形成工程において前記シリサイド膜が形成されたソース領域と金属配線とを前記ソース領域のシリサイド膜が形成されていない領域を介して連結するソースコンタクトを前記ソース領域上に形成することを特徴とする請求項 5 記載の半導体装置の製造方法。

【請求項 7】前記マスク形成工程において前記ドレイン

領域で前記ゲートに隣接する第 1 の領域上および前記第 1 の領域と分離した第 2 の領域上に前記マスクを形成し、前記高融点金属除去工程において前記マスクが形成されていない前記ドレイン領域の前記高融点金属膜を除去することにより前記第 1 の領域上および前記第 2 の領域上の前記高融点金属膜を分離し、コンタクト形成工程において前記第 2 の領域上に金属配線と前記ドレイン領域を連結する前記コンタクトを形成することを特徴とする請求項 5 記載の半導体装置の製造方法。

10 【請求項 8】前記マスク形成工程において、前記ソース領域で前記ゲートに隣接する第 1 のソース領域上および前記第 1 のソース領域と分離した第 2 のソース領域上に前記マスクを形成し、前記高融点金属膜除去工程において前記マスクが形成されていない前記ソース領域の前記高融点金属膜を除去することにより前記第 1 のソース領域上および前記第 2 のソース領域上の前記高融点金属膜を分離し、前記コンタクト形成工程において前記第 2 のソース領域上に金属配線と前記ソース領域を連結するコンタクトを形成することを特徴とする請求項 6 記載の半導体装置の製造方法。

20 【請求項 9】半導体基板上に形成する電界効果型トランジスタにおいて、ドレインおよびソース領域とゲート上に絶縁膜を形成する工程と、前記絶縁膜を選択的にエッチングして前記ドレイン領域の内、前記ゲートに隣接する領域と、前記ゲート、ソース領域を露出させる工程と、前記半導体基板上に高融点金属膜を形成する工程と、前記絶縁膜をエッチングした部分の前記ゲートおよび前記ドレイン、ソース領域と前記高融点金属膜とを反応させてシリサイド膜を形成する工程と、シリサイド化していない前記高融点金属および前記絶縁膜を除去する工程と、前記シリサイド膜が形成されたドレイン領域と金属配線とを前記ドレイン領域のシリサイド膜が形成されていない領域を介して連結するコンタクトを前記ドレイン領域上に形成する工程とを備えたことを特徴とする半導体装置の製造方法。

30 【請求項 10】前記エッチング工程において前記ソース領域の内、ゲートに隣接するソース領域が露出するようにエッチングし、前記シリサイド膜形成工程において露出させたソース領域表面にシリサイド膜を形成し、前記コンタクト形成工程において前記シリサイド膜が形成されたソース領域と金属配線とを前記ソース領域のシリサイド膜が形成されていない領域を介して連結するソースコンタクトを前記ソース領域上に形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

40 【請求項 11】前記エッチング工程において前記ドレイン領域で前記ゲートに隣接する第 1 の領域上および前記第 1 の領域と分離した第 2 の領域が露出するようにエッチングし、前記シリサイド膜形成工程において露出させた前記第 1 および第 2 の領域表面にシリサイド膜を形成し、コンタクト形成工程において前記第 2 の領域上に金

属配線と前記ドレイン領域を連結する前記コンタクトを形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【請求項 12】前記エッチング工程において前記ソース領域で前記ゲートに隣接する第 1 のソース領域および前記第 1 のソース領域と分離した第 2 のソース領域が露出するようにエッチングし、前記シリサイド膜形成工程において前記シリサイド膜形成工程において前記第 1 および第 2 のソース領域表面にシリサイド膜を形成し、前記コンタクト形成工程において前記第 2 のソース領域上に金属配線と前記ソース領域を連結するコンタクトを形成することを特徴とする請求項 9 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路装置における静電破壊防止のための保護回路に関するものである。

【0002】

【従来の技術】近年、半導体集積回路において構成素子の微細化が大きく進展し、最小加工寸法は 1 μm 以下のいわゆるサブミクロン領域に達している。素子の微細化に伴い、拡散層が薄くなってきており、拡散層の抵抗増大が問題になっている。このため拡散層表面をシリサイド化して抵抗を小さくする技術が提案されている。しかし、入出力部のトランジスタにおいて拡散層表面をシリサイド化すると新たに静電破壊耐圧が低下するという問題が生じる。そこで、静電破壊耐圧低下を防ぐため半導体集積回路装置の内部回路ではシリサイド化を行い、入出力部ではシリサイド化を行わない製造方法【特開平 4-291919 号公報】が提案されている。

【0003】以下図 4 を参照しながら従来の技術について説明する。図 4 (a) では内部回路となるトランジスタの多結晶シリコンゲート 5、ソース領域 3、ドレイン領域 4 上と入出力部のトランジスタの多結晶シリコンゲート 6、ソース、ドレインになる領域上に T i シリサイド膜 7、8、9、10、11、12 が形成されている。

(b) では内部回路部分をホトレジスト膜 13 で覆い、入出力トランジスタに対して高濃度の不純物イオン注入を行い、ソース領域 14、ドレイン領域 15 を形成する。この後、入出力部の T i シリサイド膜を除去し、

(c) で示す構造が得られる。

【0004】

【発明が解決しようとする課題】しかしながら上記のような構成では、入出力部トランジスタにおいてソース、ドレイン領域のシリサイド膜を除去したとき、同時ゲート上のシリサイド膜も除去される。微細化によりゲートが細くなってきており、ゲート上のシリサイド膜を除去するとゲート電極が高抵抗になり入出力部の回路動作が遅くなるという問題が発生する。

【0005】本発明は上記問題点に鑑み、高静電破壊耐圧を保持し、かつシリサイド膜が形成された低ゲート電極抵抗の入出力部トランジスタを有した半導体装置及びその製造方法を提供するものである。

【0006】

【課題を解決するための手段】上記問題点を解決するために本発明の (1) は、ドレインおよびソース領域とゲートを有する電界効果型トランジスタにおいて、前記ゲート上と前記ゲートに隣接するドレイン領域表面がシリサイド化され、前記シリサイド化されたドレイン領域がシリサイド化されていないドレイン領域を介して金属配線に接続されたことを特徴とする半導体装置である。

【0007】また (2) は、半導体基板上に形成する電界効果型トランジスタにおいて、ドレインおよびソース領域とゲート上に高融点金属膜を形成する工程と、前記ソース領域およびゲート上と前記ドレイン領域の内、前記ゲートに隣接する領域上にマスクを形成する工程と、前記マスクを用いてマスクが形成されていないドレイン領域の前記高融点金属膜を除去する工程と、前記高融点金属膜と前記ゲートおよび前記ドレイン、ソース領域とを反応させて前記ゲート上および前記ドレイン、ソース領域の所定の領域表面にシリサイド膜を形成する工程と、前記シリサイド膜が形成されたドレイン領域と金属配線とを前記ドレイン領域のシリサイド膜が形成されていない領域を介して連結するコンタクトを前記ドレイン領域上に形成する工程とを備えたことを特徴とするものである。

【0008】また (3) は、半導体基板上に形成する電界効果型トランジスタにおいて、ドレインおよびソース領域とゲート上に絶縁膜を形成する工程と、前記絶縁膜を選択的にエッチングして前記ドレイン領域の内、前記ゲートに隣接する領域と、前記ゲート、ソース領域を露出させる工程と、前記半導体基板上に高融点金属膜を形成する工程と、前記絶縁膜をエッチングした部分の前記ゲートおよび前記ドレイン、ソース領域と前記高融点金属膜とを反応させてシリサイド膜を形成する工程と、シリサイド化していない前記高融点金属および前記絶縁膜を除去する工程と、前記シリサイド膜が形成されたドレイン領域と金属配線とを前記ドレイン領域のシリサイド膜が形成されていない領域を介して連結するコンタクトを前記ドレイン領域上に形成する工程とを備えたことを特徴とするものである。

【0009】

【作用】本発明は上記した構成によって、ドレインコンタクトとシリサイド膜が形成されているドレイン領域の間にはシリサイド膜が形成されていないドレイン領域が存在し、この領域の拡散抵抗がサージ放電のエネルギーを吸収するので高静電破壊耐圧を得ることができる。更にゲート上のシリサイド膜は除去されないで低抵抗のゲート電極を形成することができる。

【0010】

【実施例】以下本発明の実施例について、図面を参照しながら説明する。

【0011】図1は本発明の実施例における半導体装置の構造断面図を示すものである。図1において、半導体基板1上にゲート酸化膜を介して多結晶シリコンゲート16、ドレイン領域17、ソース領域18からなるNchMOSトランジスタが形成されている。更に多結晶シリコンゲート16、ドレイン領域17、ソース領域18上にはTiシリサイド膜19、20、21、22、23が形成されている。Tiシリサイド膜22、23上にはそれぞれ金属配線24、25とのコンタクトが形成されており、金属配線24は入出力端子に、金属配線25は、VSS端子に接続されている。ここで、Tiシリサイド膜20、22下のドレイン領域の間に拡散抵抗35を設けるためにTiシリサイド膜20と22は完全に分離させる。同様にソース領域18上のTiシリサイド膜21と23も分離させる。以上の様な構成では、ドレイン領域17およびソース領域18上のTiシリサイド膜20、22および21、23がそれぞれ分離されているので、入出力端子にサージが印加されてもTiシリサイド膜20、22間の拡散抵抗35および21、23間の拡散抵抗36がサージ放電のエネルギーを吸収するので、高い静電破壊耐圧が得られる。更に、多結晶シリコンゲート16上に形成されているTiシリサイド膜19によって低抵抗なゲート電極が得られ、高速な回路動作が可能になる。即ち高静電破壊耐圧を保持し、且つゲート上にシリサイド膜を有するトランジスタが得られる。なお、Tiシリサイド膜20および21と金属配線24および25とは拡散抵抗を介して導通されていれば良いのでTiシリサイド膜22および23はなくても良く、またドレイン領域のみTiシリサイド膜20、22が分離されており、ソース領域のTiシリサイド膜21、23はつながっていても良い。更に本実施例では高融点金属シリサイド膜としてTiシリサイド膜を用いたがタングステンシリサイド、モリブデンシリサイド、または tantalumシリサイド膜でも良い。

【0012】次に本実施例の第1の製造方法を示す工程断面図を図2に示す。図1(a)では、NchMOSトランジスタが形成された半導体基板1上に高融点金属のTi膜27を形成する。(b)では全面にレジスト膜28を塗布し、ホトリソ工程によりドレイン領域17、ソース領域18上、および多結晶シリコンゲート16および多結晶シリコンゲート16に隣接するドレイン、ソース領域上にTi膜32、33、34をそれぞれが分離するようパターンニングする。(c)ではレジスト膜28を除去し、例えばRTAを用いた熱処理によりTi膜32、33、34と下地シリコンとのシリサイド化反応を行わせ、Tiシリサイド膜19、20、21、22、23を形成し、金属配線とのコンタクトを形成して図1に

至る。上記の方法により、Tiシリサイド膜20、22間または21、23間の距離を変えて最適な拡散抵抗を得ることができる。またTiシリサイド膜20、21の領域がマスクずれを吸収するので多結晶シリコンゲート上のTiが除去されずにシリサイド化することができる。

【0013】次に本実施例の第2の製造方法を示す工程断面図を図3に示す。図1(a)では、NchMOSトランジスタが形成された半導体基板1上にシリコン酸化膜29を形成し、その上にレジスト膜30を塗布した後、ホトリソ工程によりドレイン領域17中の領域37上、ソース領域18中の領域38上、および多結晶シリコンゲート16と多結晶シリコンゲート16に隣接するドレイン、ソース領域をあわせた領域39上のシリコン酸化膜をエッチングにより除去する。(b)ではレジスト膜30を除去し、全面にTi膜31を形成する。

(c)では例えばRTAを用いた熱処理によりTi膜31と下地シリコンとのシリサイド化反応を行わせ、Tiシリサイド膜19、20、21、22、23を形成する。最後に未反応のTi31およびシリコン酸化膜29を除去し、金属配線とのコンタクトを形成して図1に至る。以上の方法により、図2の製造方法と同様な利点を得ることができる。

【0014】

【発明の効果】以上のように本発明は、入出力部のトランジスタにおいて高静電破壊耐圧を保持し、かつ低抵抗のゲート電極を得ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体装置の構成断面図

【図2】本発明の第1の実施例における第1の半導体装置の工程断面図

【図3】本発明の第1の実施例における第2の半導体装置の工程断面図

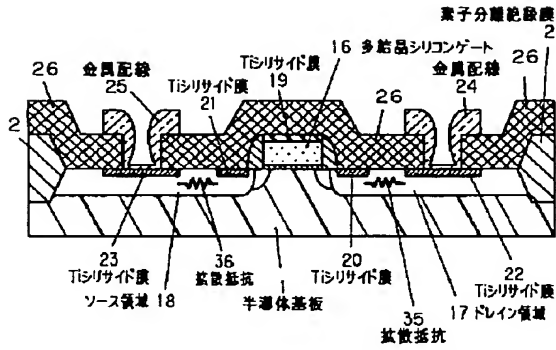
【図4】従来の半導体装置の工程断面図

【符号の説明】

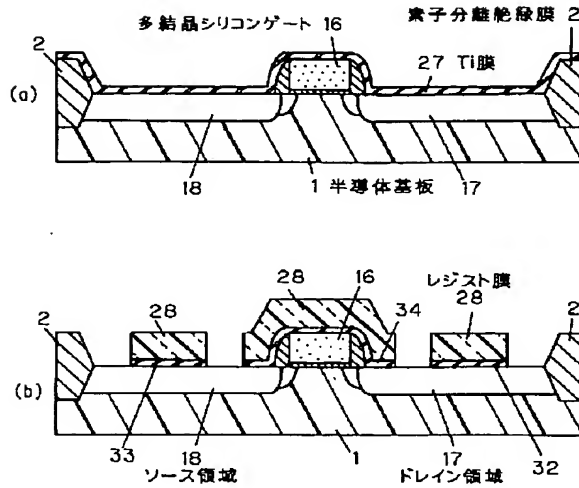
- 1 半導体基板
- 2 素子分離絶縁膜
- 3 内部回路トランジスタのソース領域
- 4 内部回路トランジスタのドレイン領域
- 5、6、16 多結晶シリコンゲート
- 7、8、9、10、11、12、19、20、21、22、23 Tiシリサイド膜
- 13、28、30 レジスト膜
- 14、18 入出力部トランジスタのソース領域
- 15、17 入出力部トランジスタのドレイン領域
- 24、25 金属配線
- 26、29 絶縁膜
- 27、31、32、33、34 Ti膜
- 35、36 拡散抵抗

37、38、39 レジスト開口領域

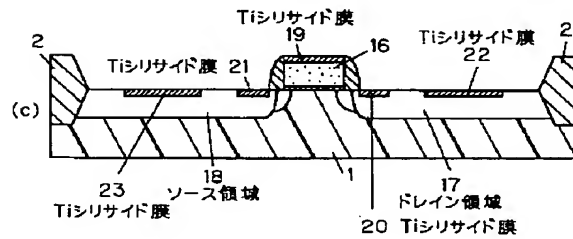
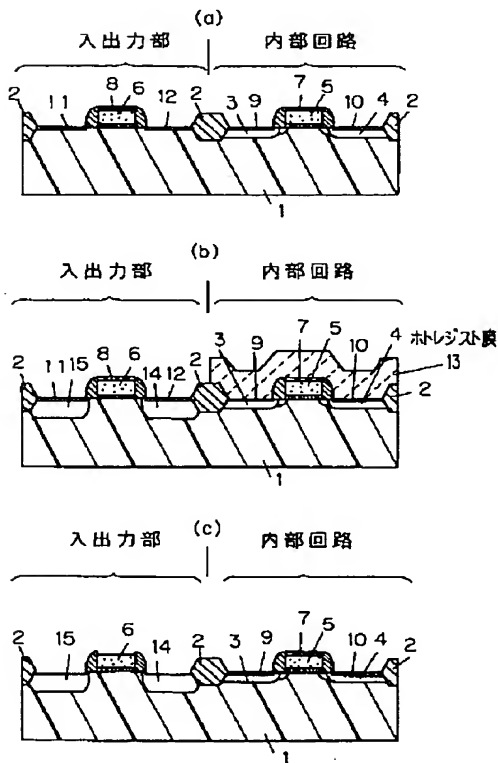
【図1】



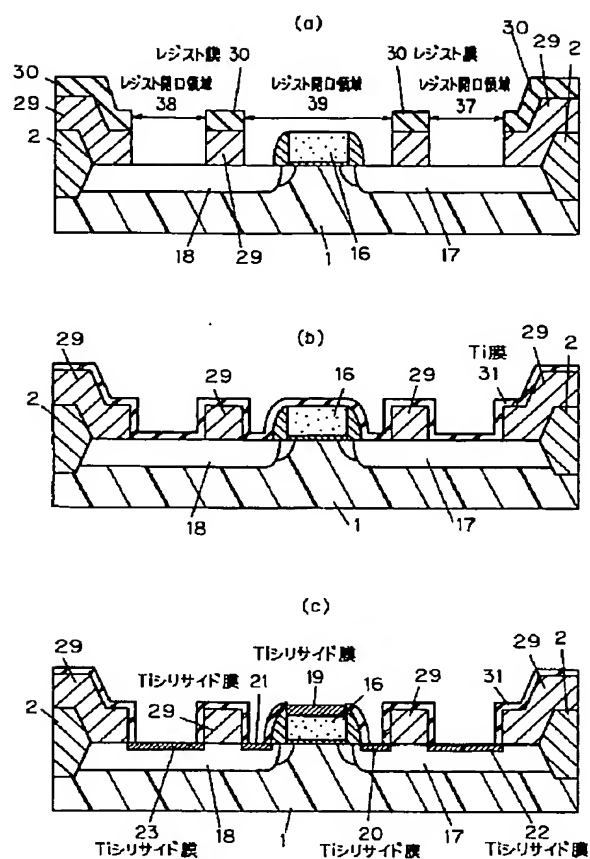
【図2】



【図4】



【図3】



フロントページの続き

(51) Int. Cl. 6

H01L 21/822

21/8234

27/088

識別記号

庁内整理番号

F I

技術表示箇所

9170-4M

H01L 27/08

102 F